

明 細 書

インバータ装置

技術分野

本発明は、例えば大容量UPSや電池電力貯蔵システム等に組み込まれた三相インバータに用いられ、その三相インバータを構成するスイッチング素子のオンオフ動作時に同時スイッチングを防止し得るインバータ装置に関する。

背景技術

例えば、大容量UPSや電池電力貯蔵システム等に組み込まれた電力変換器の一種である三相インバータは、図7に示すように太陽電池や燃料電池などの直流電源Eからの直流電圧を交流変換して負荷UL, VL, WLに電力供給するものであり、上下で対をなすU相、V相およびW相のスイッチング素子、例えばGTO(ゲート・ターンオフ・サイリスタ)素子UP, UN, VP, VN, WP, WNをブリッジ構成した構造を具備する。

このインバータ装置では、各相で対をなすGTO素子、つまり、図示上方に位置するプラス極のGTO素子UP, VP, WPと図示下方に位置するマイナス極のGTO素子UN, VN, WNを交互にオンオフ動作させることにより、直流電源Eからの直流電圧を交流変換することでもって負荷UL, VL, WLに交流電力を供給するようにしている。

各GTO素子UP, UN, VP, VN, WP, WNは、正弦波波形の制御信号を三角波波形のキャリア信号によりパルス状のゲート信号に変換し、そのゲート信号により順バイアス電圧を印加することでターンオンし、逆バイアス電圧を印加することでターンオフする。

このGTO素子UP, UN, VP, VN, WP, WNのオンオフ制御では、対をなすGTO素子のうち、上側のGTO素子UP, VP, WPがオン状態で、下側のGTO素子UN, VN, WNはオフした状態にあり、その下側のGTO素子UN, VN, WNがターンオンしようとする時には、そのGTO素子UN, VN, WNがターンオンする前に上側のGTO素子UP, VP, WPをターンオフさせるようにしている。

上側のGTO素子UP, VP, WPがターンオフして所定のインターバルが経過してから下側のGTO素子UN, VN, WNをターンオンさせるように、上下両方のGTO素子UP,

UN, VP, VN, WP, WNが同時にターンオフした状態となるデッドタイムを設けることにより、上側のGTO素子UP, VP, WPと下側のGTO素子UN, VN, WNの両方が同時にターンオン状態になることを回避し、直流短絡を未然に防止するようにしている(例えば、特許文献1参照)。

発明の開示

ところで、前述したインバータ装置では、一般的に図8に示すように出力配線間や出力配線とアース(筐体)間で、僅かな浮遊静電容量 $C_1 \sim C_6$ が形成されている。従って、前述したようにある相の上下のGTO素子の両方が同時にターンオフ状態となるデッドタイムが存在すると、浮遊静電容量に蓄積された電荷が放出されて、ある相のGTO素子に対する他相のGTO素子の midpoint 電位を変動させてしまう。ここで、ゲート駆動回路Aも同様に各主回路配線やアース間との間に浮遊静電容量 $C_7 \sim C_{10}$ を有しているため、前述の midpoint 電位の変動はゲート駆動回路の電位変動となり、ゲート電流に外乱電流を与えてしまうことになる。

一方、GTO素子は、サイリスタ構造(pnpn構成)を有するため、ターンオンゲインは大きい、ターンオフゲインが極めて小さいことからターンオフ動作に数十 μ Sの時間を要する上、その間にターンオフのための大きなゲート引き抜き電流が必要である。この期間中のゲート引き抜き電流が前述したように外乱電流により不安定になると、GTO素子がターンオフに失敗してターンオフできなくなり、最悪の場合、GTO素子を破損する可能性がある。

前述の現象は、ある相のGTO素子のターンオフ動作後にそのGTO素子と対極する他相のGTO素子(ある相のGTO素子がGTO素子UPであれば、対極する他相のGTO素子とはGTO素子VN, WNである)のターンオン指令信号が発生する場合に生じる。この他相のGTO素子の同時スイッチングが発生することにより、ゲート引き抜き電流が不安定となる問題を招来していた。

そこで、本発明は前記問題点に鑑みて提案されたもので、その目的とするところは、対極する他相のGTO素子のスイッチング動作によるターンオフ動作中のGTO素子の対地電位変動をなくし、そのGTO素子のターンオフを確実に実行させてゲート引き抜き電流の安定化を図り得るインバータ装置を提供することにある。

前記目的を達成するための技術的手段として、本発明は、対をなすスイッチング素

子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に、前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させることを特徴とする。

また、任意のスイッチング素子のオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオフ指令信号が発生する場合に、前記他相のスイッチング素子のオフ動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とする。

さらに、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させると共に、任意のスイッチング素子のオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオフ指令信号が発生する場合に前記他相のスイッチング素子のオフ動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とする。

本発明では、同時スイッチング防止機能を設けたことにより、例えば、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に、前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させることで、他相のスイッチング素子の同時スイッチングを回避することができるので、GTO素子のターンオフ期間中の対地電位変動をなくし、そのGTO素子のターンオンを確実に実行させてゲート引き抜き電流の安定化を図ることができる。

なお、本発明は、前記スイッチング素子として、Si-GTO素子だけではなく、そのSi-GTO素子よりも高温動作可能で高耐圧のSiC-GTO素子を使用することが可能である。また、ダイヤモンド、GaN等のワイドギャップ半導体を使用することも可能である。

本発明によれば、同時スイッチング防止機能を設けたことにより、任意のスイッチング素子のオフまたはオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号またはオフ指令信号が発生する場合に、前記他

相のスイッチング素子のオン動作またはオフ動作を前記所定期間だけ遅延させることで、他相のスイッチング素子の同時スイッチングを回避することができるので、例えばGTO素子のターンオフ期間中の電位変動をなくし、そのGTO素子のターンオンを確実に実行させてゲート引き抜き電流の安定化を図ることができ、直流短絡や素子破損が発生することなく、高品質のインバータ装置を提供できる。

また、同時スイッチング防止機能は、任意のスイッチング素子のOFF後の所定期間を作成するOFF後所定期間作成回路及び／又は任意のスイッチング素子のON後の所定期間を作成するON後所定期間作成回路と、同時スイッチング防止論理回路を含む同時スイッチング防止回路のようなハードウェアでも、インバータ制御部のソフトウェアでも実現できる。

図面の簡単な説明

図1は、本発明の実施形態で、Si-GTO素子で構成した三相インバータを具備したインバータ装置を示す回路図である。

図2は、(a)はSi-GTO素子、(b)はその内部構造を示す図である。

図3は、本発明の他の実施形態で、SiC-GTO素子で構成した三相インバータを具備したインバータ装置を示す回路図である。

図4は、(a)はSiC-GTO素子、(b)はその内部構造を示す図である。

図5は、出力電圧指令信号、キャリア信号およびゲート元信号を示す波形図である。

図6は、図1および図3の同時スイッチング防止回路の内部構成を示すブロック図である。

図7は、三相インバータの一例を示す回路図である。

図8は、三相インバータにおいて浮遊静電容量が形成されることを説明するための図である。

なお、図中の符号11は、インバータ装置、12はスイッチング素子(Si-GTO素子)、13は直流電源、14は三相インバータ、15はインバータ制御回路、16はPWMパルス発生回路、17は同時スイッチング防止回路、21はインバータ装置、22はスイッチング素子(SiC-GTO素子)、24は三相インバータである。

発明を実施するための最良の形態

本発明に係るインバータ装置の実施形態を以下に詳述する。なお、以下の実施形態では、スイッチング素子として、 Si-GTO 素子12を用いた場合(図1および図2参照)と、その Si-GTO 素子12よりも高温動作可能で高耐圧の SiC-GTO 素子22を用いた場合(図3および図4参照)について説明する。

図1に示す実施形態は、 Si-GTO 素子12を用いたインバータ装置11を例示する。図2(a)は Si-GTO 素子12を示し、同図(b)はその内部構造を示す。 Si-GTO 素子12は、図2(a)(b)に示すようにp型半導体領域 P_1 、 P_2 とn型半導体領域 N_1 、 N_2 を接合し、その接合領域間で接合部 J_1 、 J_2 、 J_3 を有するpnpn構造を具備し、p型半導体領域 P_1 からアノードA、n型半導体領域 N_2 からカソードK、p型半導体領域 P_2 からゲートGを引き出している。

一般的に、オン状態にある Si-GTO 素子12は、ターンオン時とは逆向きのゲート電流を流すことによりターンオフさせることができる。つまり、アノードAにプラス極性、カソードKにマイナス極性の電圧を印加し、この電圧を接合部 J_2 で阻止している状態で、カソードKに対してゲートGがプラス極性になるように順バイアス電圧を印加するとゲートGから半導体領域 P_2 にゲート電流の大きさに応じたホールが移動し、NPNトランジスタ部にベース電流を供給した状態と同様に、ゲート電流とNPNトランジスタ部の電流増幅率の大きさに応じたエレクトロンが、半導体領域 N_1 から半導体領域 N_2 へ運ばれる。半導体領域 N_2 へ運ばれたエレクトロンは、PNPトランジスタ部のベース電流と同じ働きをし、エレクトロンの数とPNPトランジスタ部の電流増幅率に応じたホールが半導体領域 P_1 から半導体領域 P_2 へ運ばれる。このように、オフ状態にある Si-GTO 素子のNPNトランジスタ部のゲートに順バイアス電圧を印加することによりホール、エレクトロンのいわゆるキャリアが接合部 J_2 を通り抜け、 Si-GTO 素子はオフ状態が維持できなくなり電流が流れ始めてターンオンする。

一方、オン状態にある Si-GTO 素子12は、カソードKに対してゲートGがマイナス極性(ゲートGに対してカソードKがプラス極性)となるように逆バイアス電圧を印加することにより、半導体領域 P_1 から半導体領域 P_2 へ運ばれたホールの一部がゲートGから引き抜かれ、半導体領域 N_1 からカソードKにゲート電流の大きさに応じたエレクトロンが流れ込み、PNP、NPNトランジスタ部の電流増幅率の合計が1以下になると、オン状態が維持できなくなりオフ状態へ移行する。

次に、図 3 に示す実施形態は、Si-GTO 素子 12 よりも高温動作可能で高耐圧の SiC-GTO 素子 22 を用いたインバータ装置 21 を例示する。図 4 (a) は SiC-GTO 素子 22 を示し、同図 (b) はその内部構造を示す。SiC-GTO 素子 22 は、図 4 (a) (b) に示すように p 型半導体領域 P_E , P_B と n 型半導体領域 N_E , N_B を接合し、その接合領域間で接合部 J1, J2, J3 を有する pnpn 構造を具備し、p 型半導体領域 P_E からアノード A、n 型半導体領域 N_E からカソード K、n 型半導体領域 N_B からゲート G を引き出している。

SiC-GTO 素子 22 は、前述した Si-GTO 素子 12 とほぼ同様な基本構造を有し、異なる点は、PNP トランジスタ部のベース部分がゲート G になっていることである。従って、SiC-GTO 素子 22 におけるターンオンおよびターンオフ動作は、アノード A とゲート G 間に順バイアス電圧あるいは逆バイアス電圧を印加することにより行なわれる。

具体的に、アノード A にプラス極性、カソード K にマイナス極性の電圧を印加し、この電圧を接合部 J2 で阻止している状態で、アノード A に対してゲート G がマイナス極性 (ゲート G に対してアノード A がプラス極性) になるように順バイアス電圧を印加するとゲート G から半導体領域 N_E にゲート電流の大きさに応じたエレクトロンが流れ込み、PNP トランジスタ部にベース電流を供給した状態と同様に、ゲート電流と PNP トランジスタ部の電流増幅率の大きさに応じたホールが、半導体領域 P_E から半導体領域 P_B へ運ばれる。半導体領域 P_B へ運ばれたホールは、NPN トランジスタ部のベース電流と同じ働きをし、ホールの数と PNP トランジスタ部の電流増幅率に応じたエレクトロンが半導体領域 N_E から半導体領域 N_B へ運ばれる。このように、オフ状態にある SiC-GTO 素子 22 の NPN トランジスタ部のゲート G に順バイアス電圧を印加することによりホール、エレクトロンのいわゆるキャリアが接合部 J2 を通り抜け、Si-GTO 素子 22 はオフ状態が維持できなくなり電流が流れ始めてターンオンする。

一方、オン状態にある SiC-GTO 素子 22 は、アノード A に対してゲート G がプラス極性となるように逆バイアス電圧を印加することにより、半導体領域 N_E から半導体領域 N_B へ運ばれたエレクトロンの一部がゲート G から引き抜かれ、PNP、NPN トランジスタ部の電流増幅率の合計が 1 以下になると、オン状態が維持できなくなりオフ状態へ移行する。

以下の説明では、 S_i -GTO素子12と S_i C-GTO素子22で重複するため、図1および図3に示すように S_i -GTO素子12と S_i C-GTO素子22を共通してGTO素子UP, UN, VP, VN, WP, WNと表記する。

この実施形態のインバータ装置11, 21は、図1および図3に示すように上下で対をなすU相、V相およびW相のGTO素子UP, UN, VP, VN, WP, WNをフルブリッジ構成し、それらGTO素子UP, UN, VP, VN, WP, WNにより直流電源13の電源電圧を交流変換する三相インバータ14, 24と、インバータ14, 24の出力電圧を所定値とするために出力電圧指令信号Uref, Vref, Wref(図5参照)を生成して出力するインバータ制御回路15と、そのインバータ制御回路15からの出力電圧指令信号Uref, Vref, WrefをPWM変調することによりGTO素子UP, UN, VP, VN, WP, WNをオンオフ動作させるための駆動信号を生成して出力するPWMパルス発生回路16と、そのPWMパルス発生回路16からの駆動信号を後述する条件に基づいて所定時間だけ遅延させたゲート信号を生成して出力する同時スイッチング防止回路17とで構成される。なお、インバータ制御回路15、PWMパルス発生回路16、同時スイッチング防止回路17でインバータ制御部を構成する。

前述した三相インバータ11, 21を駆動するためのGTO素子UP, UN, VP, VN, WP, WNのゲート信号を生成するインバータ制御回路15、PWMパルス発生回路16および同時スイッチング防止回路17について以下に詳述する。

インバータ制御回路15は、三相のGTO素子UP, UN, VP, VN, WP, WNを所定のタイミングでオンオフ動作させるため、図5に示すように各相で所定の位相差を持つ正弦波状の出力電圧指令信号Uref, Vref, Wrefを生成する。

PWMパルス発生回路16は、インバータ制御回路15から出力された出力電圧指令信号Uref, Vref, Wrefを三角波状のキャリア信号KによりPWM変調することによりGTO素子UP, UN, VP, VN, WP, WNをオンオフ動作させるための駆動信号であるUP, UN, VP, VN, WP, WN元信号(図1および図3参照)を生成する。

同時スイッチング防止回路17は、図6に示すようにOFF後 Δt_1 作成回路18_{UP}, 18_{UN}, 18_{VP}, 18_{VN}, 18_{WP}, 18_{WN}、ON後 Δt_2 作成回路19_{UP}, 19_{UN}, 19_{VP}, 19_{VN}, 19_{WP}, 19_{WN}、同時スイッチング防止論理回路20_{UP}, 20_{UN}, 20_{VP}, 20_{VN}, 20_{WP}, 20_{WN}およびデッドタイム作成回路23_u, 23_v, 23_wで構成される。

OFF後 Δt_1 作成回路18_{UP}, 18_{UN}, 18_{VP}, 18_{VN}, 18_{WP}, 18_{WN}では、GTO素子UP,

UN, VP, VN, WP, WNのオフ後、所定期間 Δt_1 を作成し、ON後 Δt_2 作成回路 19_{UP}, 19_{UN}, 19_{VP}, 19_{VN}, 19_{WP}, 19_{WN}では、GTO素子UP, UN, VP, VN, WP, WNのオン後、所定期間 Δt_2 を作成する。

同時スイッチング防止論理回路 20_{UP}, 20_{UN}, 20_{VP}, 20_{VN}, 20_{WP}, 20_{WN}はPWMパルス発生回路 16 から出力されるUP, UN, VP, VN, WP, WN元信号と、OFF後 Δt_1 作成回路 18_{UP}, 18_{UN}, 18_{VP}, 18_{VN}, 18_{WP}, 18_{WN}およびON後 Δt_2 作成回路 19_{UP}, 19_{UN}, 19_{VP}, 19_{VN}, 19_{WP}, 19_{WN}から出力される各信号とに基づいてGTO素子UP, UN, VP, VN, WP, WNのオン動作またはオフ動作を遅延させるか否かを判定してその判定結果を出力する。

デッドタイム作成回路 23_U, 23_V, 23_Wは、同時スイッチング防止論理回路 20_{UP}, 20_{UN}, 20_{VP}, 20_{VN}, 20_{WP}, 20_{WN}の出力に基づいてデッドタイムを作成する。

この同時スイッチング防止回路 17 では、例えばGTO素子UPのオフ動作後の所定期間 Δt_1 内にそのGTO素子UPと対極する他相のGTO素子VN, WNのオン指令信号が発生する場合に他相のGTO素子VN, WNのオン動作を所定期間 Δt_1 だけ遅延させる。なお、任意のGTO素子のオン動作後の所定期間 Δt_2 内にそのGTO素子と対極する他相のGTO素子のオフ指令信号が発生する場合には、他相のGTO素子のオフ動作を所定期間 Δt_2 だけ遅延させる。

この実施形態のインバータ装置 11, 21では、図1および図3に示すようにインバータ制御回路 15 により、三相のGTO素子UP, UN, VP, VN, WP, WNを所定のタイミングでオンオフ動作させるため、図5に示すように各相で所定の位相差を持つ正弦波状の出力電圧指令信号Uref, Vref, Wrefを生成して出力する。このインバータ制御回路 15 から出力された出力電圧指令信号Uref, Vref, WrefをPWMパルス発生回路 16 で三角波状のキャリア信号KによりPWM変調することによりGTO素子UP, UN, VP, VN, WP, WNをオンオフ動作させるための駆動信号であるUP, UN, VP, VN, WP, WN元信号を生成して出力する。

ここで、図5に示すように三相の出力電圧指令信号Uref, Vref, Wrefのうち、二つの出力電圧指令信号Uref, Vref, Wrefとキャリア信号Kとが交わる交点P₁, P₂, ...では、ある相のGTO素子(例えばGTO素子UP)に対して、そのGTO素子と対極する他相のGTO素子(例えばGTO素子VN, WN)が同時スイッチングすることから、上下のGTO素子の両方が同時にターンオフ状態となるデッドタイムで、浮遊静電容量

$C_7 \sim C_{10}$ (図 8 参照) により、電位変動が生じてゲート引き抜き電流が不安定になる。

そこで、同時スイッチング防止回路 17 では、図 6 に示すように OFF 後 Δt_1 作成回路 18_{UP}, 18_{UN}, 18_{VP}, 18_{VN}, 18_{WP}, 18_{WN} および同時スイッチング防止論理回路 20_{UP}, 20_{UN}, 20_{VP}, 20_{VN}, 20_{WP}, 20_{WN} の出力に基づいて、デッドタイム作成回路 23_u, 23_v により、ある相の GTO 素子のオフ動作後の所定期間 Δt_1 内にその GTO 素子と対極する他相の GTO 素子 VN, WN のオン指令信号が発生する場合に他相の GTO 素子のオン動作を所定期間 Δt_1 だけ遅延させる。このようにして同時スイッチング防止回路 17 から出力されるゲート信号により GTO 素子をオンオフ動作させれば、同時スイッチングが発生することはなく、前述した浮遊静電容量 $C_7 \sim C_{10}$ による不具合を解消した上で、GTO 素子をオンオフ動作させることができる。

PWM パルス発生回路 16 と同時スイッチング防止回路 17 は、同時スイッチング防止機能付き PWM パルス発生回路として、全てソフトウェアで構成してもよい。

本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

請 求 の 範 囲

1. 対をなすスイッチング素子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とするインバータ装置。

2. 対をなすスイッチング素子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオフ指令信号が発生する場合に前記他相のスイッチング素子のオフ動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とするインバータ装置。

3. 対をなすスイッチング素子をブリッジ構成し、前記スイッチング素子により直流電源の電源電圧を交流変換する三相インバータを備えたインバータ装置において、任意のスイッチング素子のオフ動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオン指令信号が発生する場合に前記他相のスイッチング素子のオン動作を前記所定期間だけ遅延させると共に、任意のスイッチング素子のオン動作後の所定期間内にそのスイッチング素子と対極する他相のスイッチング素子のオフ指令信号が発生する場合に前記他相のスイッチング素子のオフ動作を前記所定期間だけ遅延させる同時スイッチング防止機能をインバータ制御部に付設したことを特徴とするインバータ装置。

4. 前記同時スイッチング防止機能を全てインバータ制御部のソフトウェアにて実現した請求の範囲第1乃至第3項のいずれか一項に記載のインバータ装置。

5. 前記同時スイッチング防止機能は、任意のスイッチング素子のOFF後の所定期間を作成するOFF後所定期間作成回路及び／又は任意のスイッチング素子のON後の所定期間を作成するON後所定期間作成回路と、同時スイッチング防止論理回路を含む同時スイッチング防止回路によって達成されることを特徴とする請求の範囲第1乃至第3項のいずれか一項に記載のインバータ装置。

6. 前記スイッチング素子は、Si-GTO素子である請求の範囲第1項乃至第

5項のいずれか一項に記載のインバータ装置。

7. 前記スイッチング素子は、S i C-G T O素子である請求の範囲第1項乃至第5項のいずれか一項に記載のインバータ装置。

8. 前記スイッチング素子は、ダイヤモンド、G a N等のワイドギャップ半導体である請求の範囲第1項乃至第5項のいずれか一項に記載のインバータ装置。

図 1

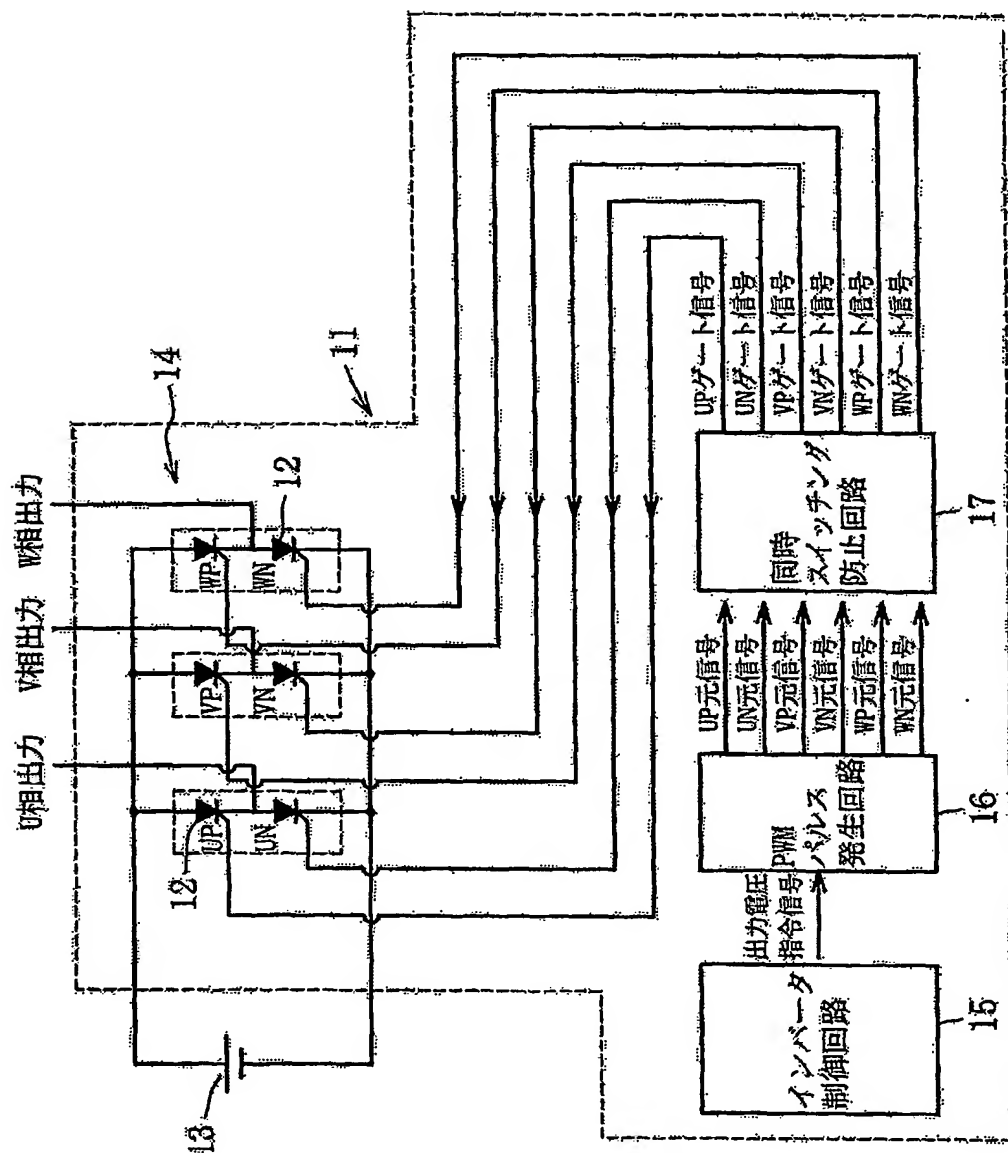
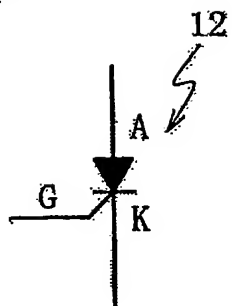


図 2

(a)



(b)

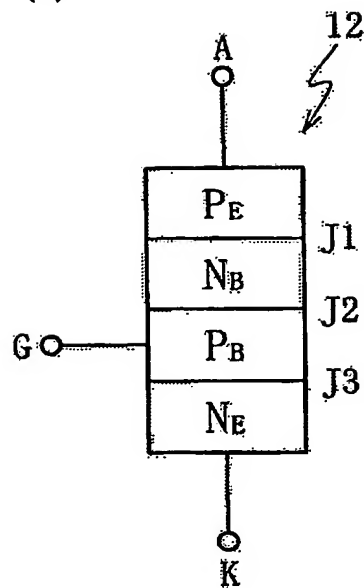


図 3

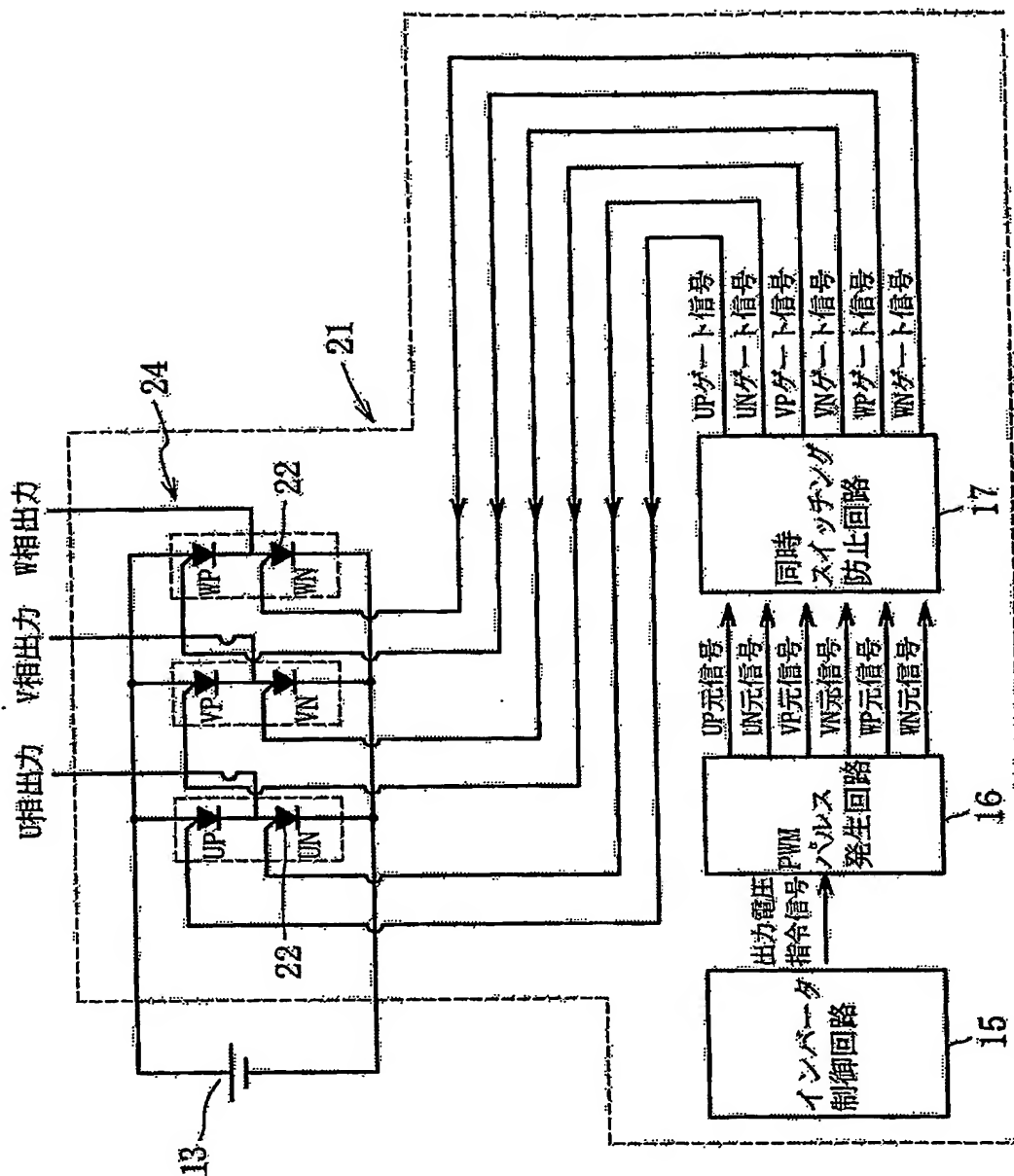


図 4

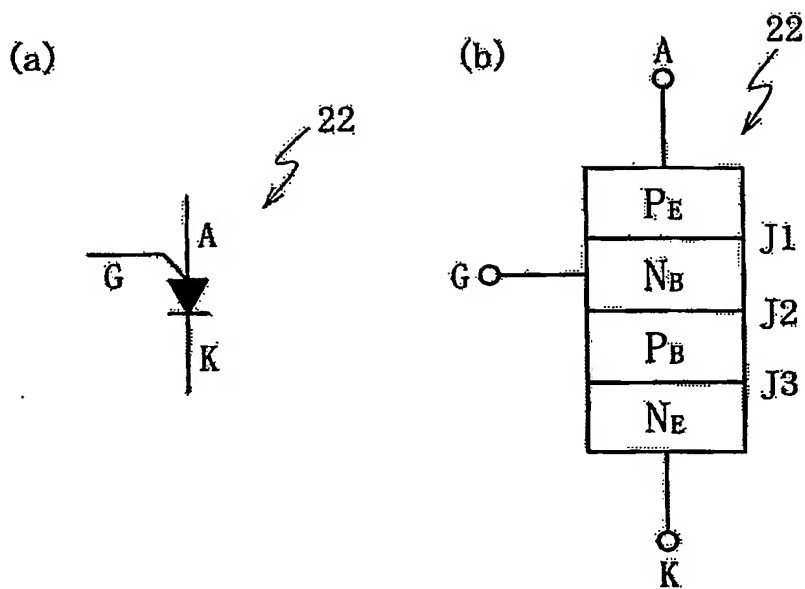


図 5

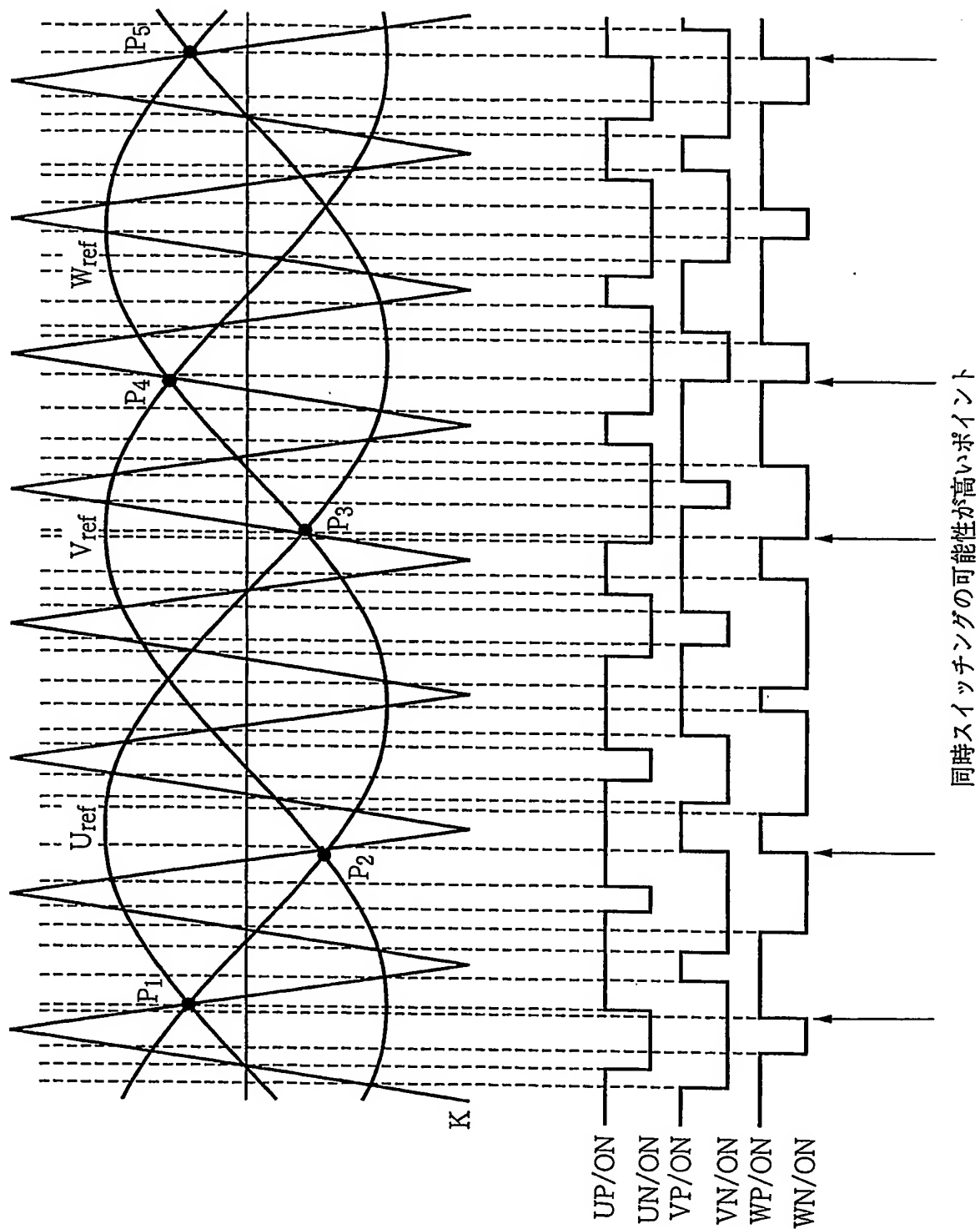


図 6

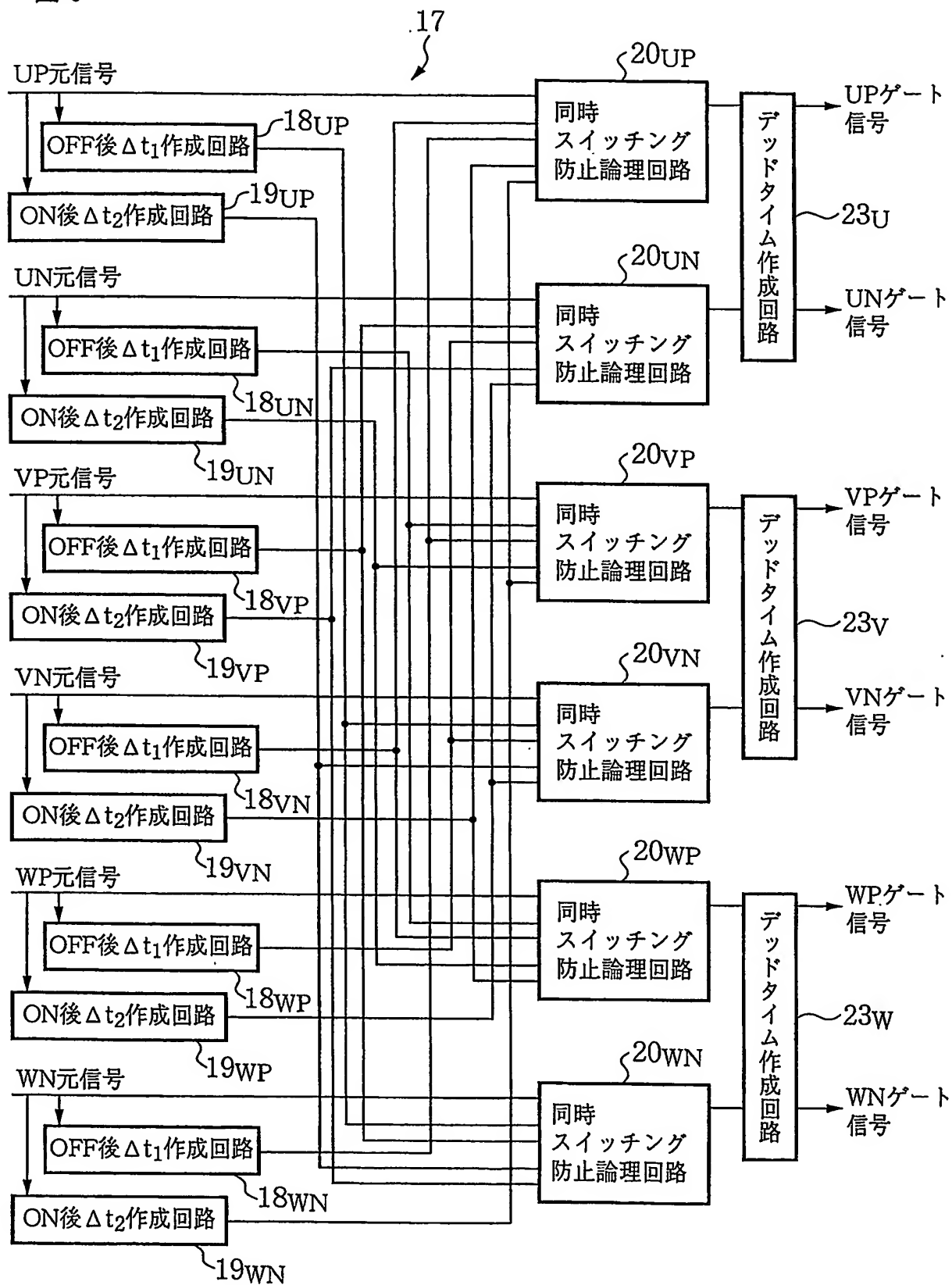


図 7

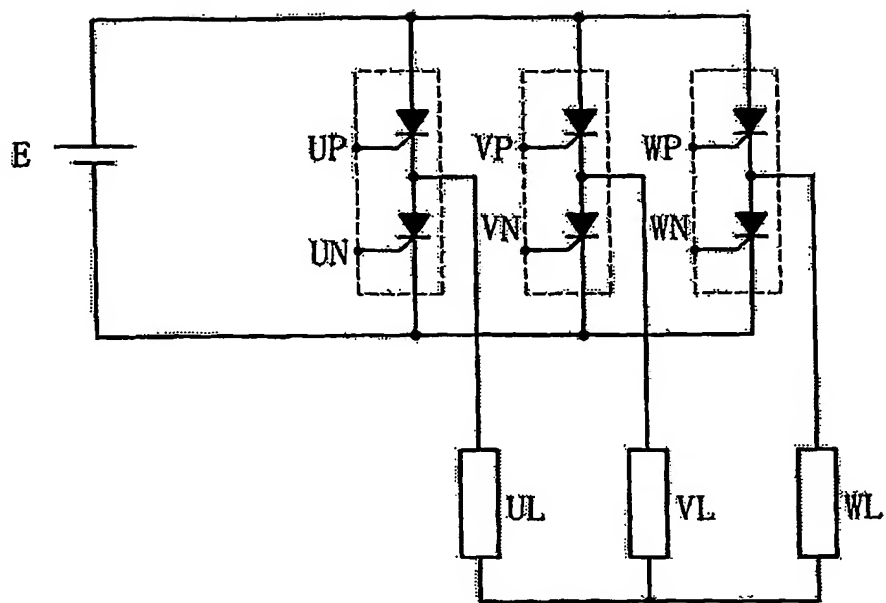
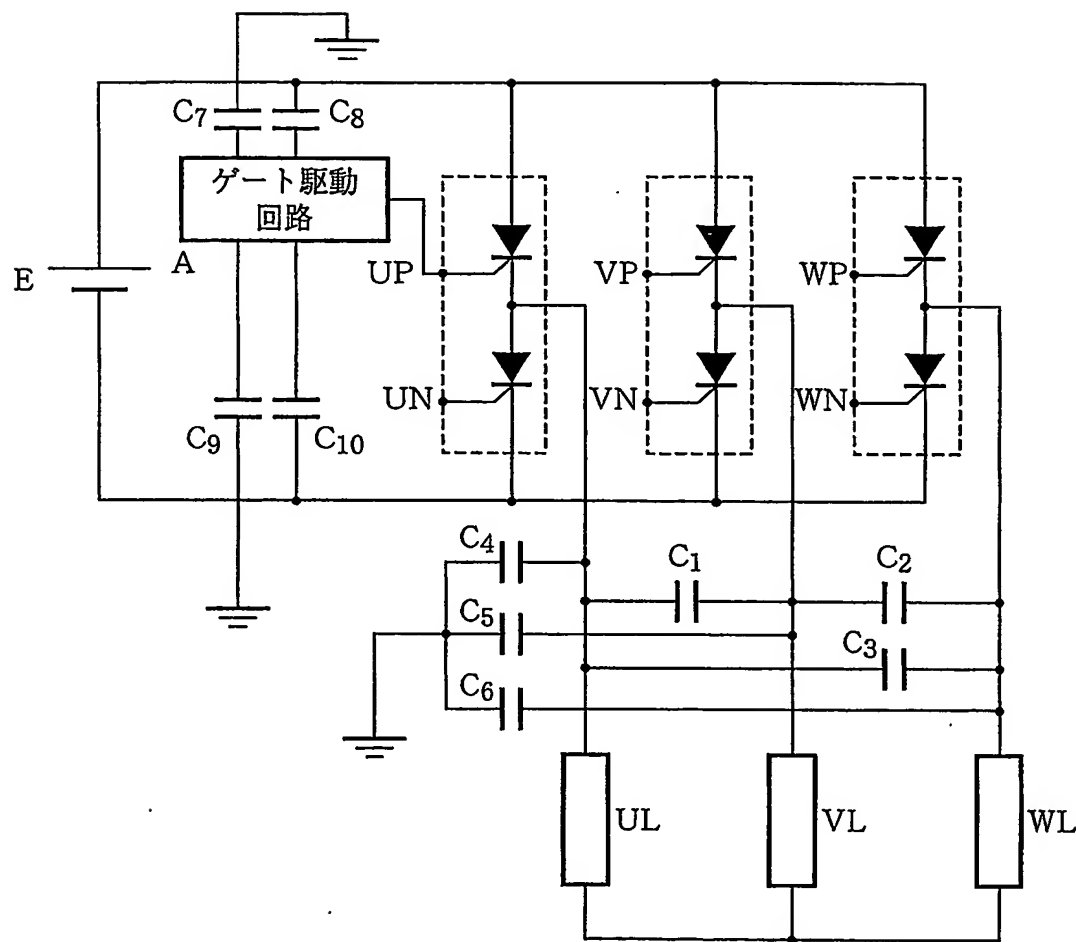


図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010897

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M7/48

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-260835 A (Toshiba Corp.), 13 September, 2002 (13.09.02), (Family: none)	1, 4, 5 6-8 2, 3
Y A	JP 11-206183 A (Hitachi, Ltd.), 30 July, 1999 (30.07.99), (Family: none)	6-8 2, 3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 October, 2004 (26.10.04)

Date of mailing of the international search report
22 November, 2004 (22.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H02M7/48

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2002-260835 A (株式会社東芝) 13. 09. 2002 (ファミリーなし)	1, 4, 5 6-8 2, 3
Y A	JP 11-206183 A (株式会社日立製作所) 30. 07. 1999 (ファミリーなし)	6-8 2, 3

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26. 10. 2004

国際調査報告の発送日

22.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾家 英樹

3V

9335

電話番号 03-3581-1101 内線 3356